

502,441

10/502441

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

Rec'd PGT/PTO 22 JUL 2004

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
31. Juli 2003 (31.07.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/063228 A1

(51) Internationale Patentklassifikation⁷: H01L 21/331

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/DE03/00255

(75) Erfinder/Anmelder (nur für US): HÜLSMANN, Axel
[DE/DE]; MergeOptics GmbH, Am Borsigturm 17, 13507
Berlin (DE).

(22) Internationales Anmeldedatum:
24. Januar 2003 (24.01.2003)

(74) Anwälte: BITTNER, Thomas, L. usw.; Boehmert &
Boehmert, Meinekestrasse 26, 10719 Berlin (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 03 966.6 25. Januar 2002 (25.01.2002) DE
102 14 073.1 28. März 2002 (28.03.2002) DE

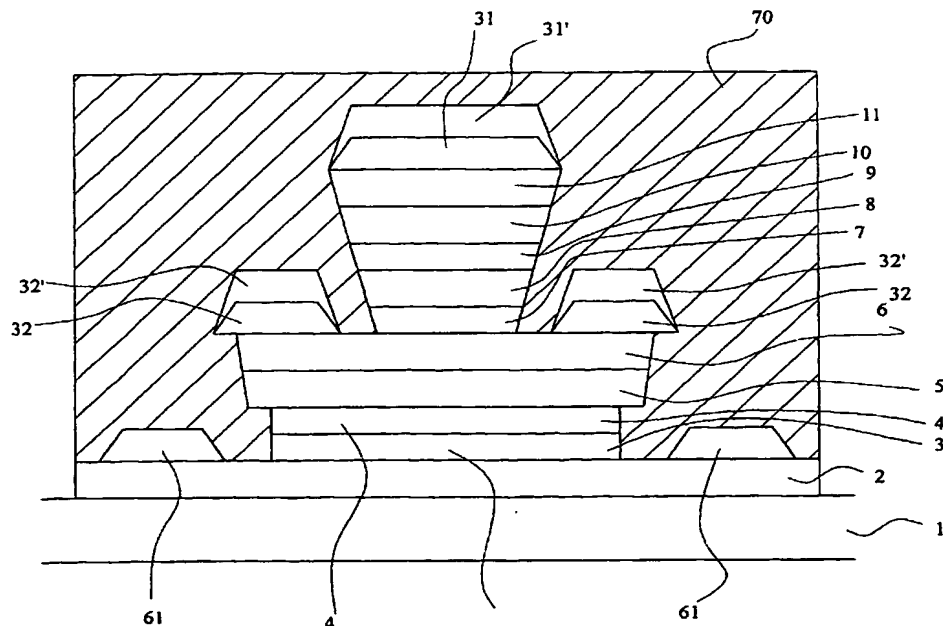
(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): MERGEOPTICS GMBH [DE/DE]; Am Borsigturm
17, 13507 Berlin (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF A HETERO-BIPOLAR TRANSISTOR

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN EINES HETERO-BIPOLAR-TRANSISTORS



(57) Abstract: The invention relates to a method for producing a hetero-bipolar transistor, according to which layers (2 to 11) which are epitaxially grown on a substrate (1) are structured by means of etching. An emitter contact (31) and a base contact (32) are formed by simultaneously metallizing an emitter layer (11) and a base layer (6). The inventive method reduces the number of steps required for producing a hetero-bipolar transistor and consequently the time and money required for the production thereof.

[Fortsetzung auf der nächsten Seite]

WO 03/063228 A1



(84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung bezieht sich auf ein Verfahren zur Herstellung eines Hetero-Bipolar-Transistors, bei dem auf ein Substrat (1) epitaktisch aufgewachsene Schichten (2 bis 11) mittels Ätzens strukturiert werden. Mittels des gleichzeitigen Metallisierens einer Emitterschicht (11) und einer Basisschicht (6) werden ein Emitterkontakt (31) und ein Basiskontakt (32) ausgebildet. Dieses Verfahren verringert die Anzahl der zur Herstellung eines Hetero-Bipolar-Transistors benötigten Verfahrensschritte und somit den zur Herstellung benötigten Zeit- und Kostenaufwand.

Verfahren zum Herstellen eines Hetero-Bipolar-Transistors

Die Erfindung betrifft ein Verfahren zur Herstellung eines Hetero-Bipolar-Transistors, bei dem auf ein Substrat epitaktisch aufgewachsene Schichten mittels Ätzens strukturiert werden, sowie eine Verwendung des Verfahrens zum Herstellen eines Hetero-Bipolar-Transistors.

- 5 Hetero-Bipolar-Transistoren (HBT) weisen im Vergleich zu gewöhnlichen Bipolar-Transistoren eine Reihe von Vorteilen auf. Besonders das sehr gute Frequenzverhalten hat dazu geführt, daß Hetero-Bipolar-Transistoren vermehrt in Hochfrequenzschaltungen eingesetzt werden, die zum Beispiel in der Mobilfunktechnik benötigt werden. Die mit Hetero-Bipolar-Transistoren erreichbaren Schaltfrequenzen liegen oberhalb von 100 GHz.
- 10 Bei der Herstellung von Hetero-Bipolar-Transistoren werden zunächst Halbleiterschichten epitaktisch auf ein Substrat aufgewachsen. Die Strukturierung dieser epitaktisch aufgewachsenen Schichten erfolgt im wesentlichen mittels aufeinanderfolgender Lithographie- und Ätzschritte. Ein Lithographieschritt umfaßt das Aufbringen eines photoempfindlichen Photolacks, das Übertragen eines auf einer Maske vorgegebenen Musters mittels des Belichtens der Mas-
- 15 ke auf den Photolack und das Entwickeln des Photolacks. In dem darauffolgenden Ätzschritt wird nur das Halbleitermaterial geätzt, welches nicht von dem Photolack bedeckt ist. Zusätzlich zu den Lithographie- und Ätzschritten umfaßt die Herstellung weitere Verfahrensschritte, wie zum Beispiel das Metallisieren von Halbleiterschichten zur Ausbildung von Kontakten.

- Nach dem Stand der Technik werden einzelne Strukturen eines Hetero-Bipolar-Transistors, wie ein Emitter, eine Basis, ein Kollektor, ein Subkollektor, ein Emitterkontakt, ein Basis-
- 20 kontakt, ein Kollektorkontakt, usw. in einzelnen Verfahrensschritten ausgebildet. Dabei wird eine große Anzahl Lithographiemasken benötigt. Jeder Verfahrensschritt verursacht direkt und indirekt über eine Verlängerung der Produktionszeit Kosten.

- Aufgabe der Erfindung ist es, ein Herstellungsverfahren der eingangs genannten Art zu schaffen, welches die Anzahl der benötigten Verfahrensschritte reduziert, zu einer Vereinfachung
- 25 des Verfahrens, insbesondere der Einsparung mindestens einer Lithographiemaske und so zu

einer Zeitersparnis bei der Herstellung eines Hetero-Bipolar-Transistors und zu einer Senkung der Herstellungskosten führt.

Diese Aufgabe wird bei einem Verfahren zur Herstellung eines Hetero-Bipolar-Transistors der Eingangs genannten Art erfindungsgemäß dadurch gelöst, daß mittels gleichzeitigen Metallisierens einer Emitterschicht und einer Basisschicht ein Emitterkontakt und ein Basiskon-

5 takt ausgebildet werden.

Die Erfindung weist den Vorteil auf, daß die Herstellung eine Hetero-Bipolar-Transistors beschleunigt wird, da ein Metallisierungsschritt gegenüber herkömmlichen Herstellungsverfahren eingespart wird. Dies senkt die Kosten der Herstellung. Des weiteren wird ein Lithogra-

10 phieschritt eingespart. Bei einem herkömmlichen Verfahren zur Herstellung eines Hetero-Bipolar-Transistors wird die Basisschicht vor dem Ausbilden des Emitterkontakts vollständig mittels einer Photolackschichtanordnung abgedeckt. Anschließend wird der Emitterkontakt ausgebildet. Bevor die Basisschicht zur Ausbildung eines Basiskontakts metallisiert werden kann, muß mittels eines Lithographieschritts eine Photolackschichtanordnung geschaffen

15 werden, die die flächige Ausdehnung des Basiskontakts festlegt. Bei dem erfindungsgemäßen Verfahren wird der zuerst genannte Lithographieschritt eingespart. Da besonders die Herstellung von Lithographie Masken und das Ausführen einer Lithographie sehr zeitaufwendig und teuer sind, wird die Herstellung eines Hetero-Bipolar-Transistors zusätzlich beschleunigt. Gleichzeitig werden die Herstellungskosten weiter gesenkt. Ferner besteht bei jedem Lithogra-

20 phieschritt die Gefahr, daß es zu einer Justierungengenauigkeit der bei der Lithographie verwendeten Maske kommt. Ist eine Lithographiemaske nicht optimal zu den bereits in den vorangehenden Verfahrensschritten ausgebildeten Strukturen ausgerichtet, kann dies zu einer Verschlechterung der Eigenschaften des Hetero-Bipolar-Transistors oder dessen Funktionsunfähigkeit führen. Daher verringert das erfindungsgemäße Verfahren durch das Einsparen eines

25 Lithographieschritts die Wahrscheinlichkeit einen funktionsunfähigen oder einen mit nicht optimalen Eigenschaften versehenen Hetero-Bipolar-transistor herzustellen.

Eine vorteilhafte Weiterbildung des Verfahrens kann vorsehen, daß beim Metallisieren Platin aufgedampft wird. Direkt auf die Basisschicht aufgedampftes Platin diffundiert zum Teil in

die p⁺-dotierte Basisschicht. Durch das Eindiffundieren der Platinatome wird die Schottky-barrierenhöhe Φ_B zwischen der Basisschicht und dem metallischen Basiskontakt gesenkt. Dies führt dazu, daß der Widerstand des Basiskontakts kleiner als bei einem bekannten Basiskontakt ist.

- 5 Eine zweckmäßige Fortbildung des Verfahrens kann darin bestehen, daß beim Metallisieren aufeinanderfolgende Schichten der Metalle Platin, Titan, Platin und Gold aufgedampft werden. Mittels des Aufdampfens dieser Metallschichtenabfolge, wird ein Basiskontakt geschaffen, der zum Einen einen niedrigen Widerstandswert aufweist und zum anderen eine hohe Stabilität sowie eine hohe Korrosionsbeständigkeit und sehr gute elektrische Kontakteigen-
- 10 schaften aufweist.

- Eine andere vorteilhafte Fortbildung kann vorsehen, daß vor dem Metallisieren der Emitter-schicht und der Basisschicht eine Emitterstruktur kristallorientiert und materialeselektiv geätzt wird, so daß Ätzkanten der Emitterstruktur eine Unterschneidung aufweisen, wobei das Ätzen der Emitterstruktur im Bereich einer Spacerschicht oder der Basisschicht stoppt. Der Vorteil
- 15 hiervon besteht darin, daß zum einen unterschrittene Ätzkanten der Emitterstruktur ausgebildet werden und zugleich die Ätzung materialeselektiv auf der Basisschicht stoppt. Durch die Materialelektivität der Ätzung wird erreicht, daß nur die gewünschten epitaktisch aufgewachsenen Halbleiterschichten geätzt werden. Eine Unterschneidung der Ätzkanten der Emitterstruktur bietet den Vorteil, daß die unterschrittenen Ätzkanten zu einer teilweisen Abschattung der nicht geätzten Basisschicht, auf der die Ätzung stoppt, beim senkrechten Auf-
- 20 dampfen auf die Emitterstruktur erfolgt. Dieser abgeschattete Bereich der Basisschicht stellt eine Isolation zwischen dem Basiskontakt und der Emitterstruktur sicher.

- Eine weitere vorteilhafte Ausführungsform der Erfindung kann vorsehen, daß vor dem Ätzen der Basisschicht eine Photolackschicht um die geätzte Emitterstruktur so angeordnet wird,
- 25 daß die Emitterstruktur von dem Photolack vollständig umschlossen ist und zumindest ein Teil eines von der Emitterstruktur abgewandten Umlaufs des Basiskontakts nicht mit dem Photolack bedeckt ist. Eine Anordnung des Photolacks mittels eines Lithographieschritts in dieser Art und Weise, weist den Vorteil auf, daß die Ausrichtung der Maske bezüglich der

bereits ausgebildeten Emitterstruktur in dem Lithographieschritt zur Ausbildung der Photolackschicht eine gewisse Freiheit aufweist. Der nicht von dem Photolack bedeckte Teil des Umlaufs des Basiskontakts definiert die Größe der Basisstruktur bzw. der darunterliegenden Kollektorstruktur. Die Photolackschicht muß lediglich die Emitterstruktur während einer Ätzung zur Strukturierung der Basisschicht schützen.

Eine vorteilhafte Weiterbildung des erfindungsgemäßen Verfahrens kann darin bestehen, daß eine zwischen dem Basiskontakt und einem Basisanschlußkontakt angeordnete metallische Basiszuführleitung vollständig unterätzt wird, so daß eine Luftbrücke gebildet wird. Das Ausbilden der metallischen Basiszuführleitung als Luftbrücke verringert die Kapazität zwischen der Basiszuführleitung und dem Kollektor/Subkollektor. Dieses verbessert die Schalteigenschaften eines Hetero-Bipolar-Transistors.

Eine andere zweckmäßige Fortbildung der Erfindung kann vorsehen, daß ein Ausbilden einer Kollektorstruktur nach einem Strukturieren der Basisschicht und zwischen zwei aufeinanderfolgenden Lithographieschritten erfolgt. Der Vorteil besteht darin, daß die Kosten zur Herstellung eines Hetero-Bipolar-Transistors weiter gesenkt werden.

Ferner kann es vorteilhaft sein, daß zumindest ein Teil der Kollektorstruktur materialesektiv so geätzt wird, daß Ätzflanken der Kollektorstruktur eine Unterschneidung aufweisen und das Ätzen auf einem Subkollektormaterial stoppt. Mittels der Materialelektivität der Ätzung wird erreicht, daß der Ablauf dieser Ätzung prozeßtechnisch leicht zu steuern und überwachen ist.

Die Unterschneidung der Kollektorstruktur bietet den Vorteil, daß die Kollektorstruktur zu einer Abschattung eines Teils des Subkollektormaterials beim Ausbilden eines Kollektorkontakts führt. Somit wird automatisch eine Isolation zwischen der Kollektorstruktur und dem Kollektorkontakt geschaffen. Der Kollektorkontakt ist somit bezüglich der Kollektorstruktur selbstjustiert.

Eine sinnvolle Weiterbildung sieht vor, daß die epitaktisch aufgewachsenen Schichten III-V-Halbleitermaterialien umfassen. Der Vorteil dieser Ausführungsform besteht darin daß die Technologie zum epitaktischen Aufwachsen gitterangepaßter III-V-Halbleiterschichten auf

ein Substrat sehr gut entwickelt ist. Ferner stellen Hetero-Bipolar-Transistoren aus III-V-Halbleitermaterialien sehr Leistungsfähige Hetero-Bipolar-Transistoren dar.

Die Erfindung wird im folgenden anhand von Ausführungsbeispielen unter Bezugnahme auf eine Zeichnung näher erläutert. Hierbei zeigen:

- 5 Figur 1 einen Teil eines Rohlings zur Herstellung eines Hetero-Bipolar-Transistors mit auf einem Substrat epitaktisch aufgewachsenen Halbleiterschichten;
- Figur 2 den Rohling nach Figur 1 nach einer Emitterätzung;
- Figur 3 den Rohling nach Figur 1 nach dem Metallisieren einer Emitter- und einer Basissschicht;
- 10 Figur 4 den Rohling nach Figur 1 während der Strukturierung eines Kollektors;
- Figur 5 den Rohling nach Figur 1 nach Abschluß der Kollektorstrukturierung;
- Figur 6 den Rohling nach Figur 1 nach dem Ausbilden von Kollektorkontakten;
- Figur 7 den Rohling nach Figur 1 nach einer Ätzung eines Subkollektors zur Isolation des Hetero-Bipolar-Transistors;
- 15 Figur 8 eine schematische Darstellung einer Maskenebene für eine Emitterstrukturierung des Rohling nach Figur 1 ;
- Figur 9 eine schematische Darstellung einer Maskenebene für das Ausbilden des Emitter-, des Basis- und eines Basisanschlußkontakts sowie einer Basiszuführleitung;
- 20 Figur 10 eine schematische Darstellung einer Maskenebene für eine Kollektorstrukturierung;
- Figur 11 eine schematische Darstellung einer Maskenebene für das Ausbilden eines Kollektorkontakts; und
- Figur 12 eine schematische Darstellung einer Maskenebene für eine Subkollektorstrukturierung zur Isolation des Hetero-Bipolar-Transistors.

Figur 1 zeigt einen Ausschnitt eines Rohlings für einen von mehreren Hetero-Bipolar-Transistor, bei dem auf ein semiisolierendes InP-Substrat 1 mehrere Schichten 12 epitaktisch aufgewachsen sind. Die mehreren Schichten 12 werden zum Beispiel mittels Molekular-Strahl-Epitaxie gitterangepaßt auf das semiisolierende InP-Substrat 1 aufgewachsen. Eine
5 Dotierung der mehreren Schichten 12 findet während der Epitaxie statt. An das semiisolierende InP-Substrat 1 grenzt eine n^+ -dotierte InGaAs-Subkollektorschicht 2, die zur Ausbildung eines Subkollektors verwendet wird. Zwischen dem semiisolierenden InP-Substrat 1 und der n^+ -dotierte InGaAs-Subkollektorschicht 2 können weitere Schichten liegen. Insbesondere kann optional eine InP-Epitaxieschicht auf dem semiisolierenden InP-Substrat 1 angeordnet
10 sein. Sich anschließende Kollektorschichten 13, eine n^+ -dotierte InP-Schicht 3, eine InGaAsP-Schicht 4 und eine nicht absichtlich dotierte InGaAs-Schicht 5, dienen im Verlauf des weiteren Herstellungsverfahrens zur Ausbildung eines Kollektors. Die nicht absichtlich dotierte InGaAs-Schicht 5 kann optional durch eine schwach n^- -dotierte Schicht ersetzt werden. Eine
15 p^+ -dotierte InGaAs-Basischicht 6 wird zur Ausbildung einer Basis verwendet. Direkt angrenzend an die p^+ -dotierte InGaAs-Basischicht 6 ist eine nicht absichtlich oder schwach dotierte InGaAs-Schicht 7 aufgewachsen. Eine schwach dotierte Schicht weist eine Dotierungskonzentration $< 10^{17} \cdot \text{cm}^{-3}$ auf. Gemeinsam mit einer n^- -dotierten InP-Schicht 8, einer n^+ -dotierten InP-Schicht 9, einer n^+ -dotierten InGaAsP-Schicht 10 und einer n^+ -dotierten InGaAs-Schicht 11 dient die nicht absichtlich oder schwach dotierte InGaAs-Schicht 7 zur Ausbildung einer
20 Emitterstruktur.

Die epitaktisch auf dem semiisolierenden InP-Substrat 1 abgeschiedenen mehreren Schichten 12 werden zunächst von einer Photolackschicht bedeckt. Mittels Photolithographie wird eine Emittermaske auf die Photolackschicht übertragen. Von einem verbleibenden Emitter-Photolackschichtabschnitt 15 wird nur ein Bereich 16 der n^+ -dotierten InGaAs-Schicht 11
25 bedeckt. Die Breite des abgedeckten Bereichs 16 legt eine Emitterweite fest, die kleiner als $2 \mu\text{m}$ sein kann.

Nun wird zunächst die n^+ -dotierte InGaAs-Schicht 11 mittels einer naßchemischen Ätzung oder einer Plasmaätzung strukturiert. Daran anschließend wird eine zur n^+ -dotierten InGaAs-Schicht 11 materialelektive kristallorientiert ausgeführte Ätzung der übrigen einen Emitter

21 bildenden Emitterschichten 14 (vgl. Figur 1) durchgeführt. Die Ätzung stoppt im Bereich der p^+ -dotierten InGaAs-Basisschicht 6 und der nicht absichtlich oder schwach dotierten InGaAs-Schicht 7, wobei die nicht absichtlich oder schwach dotierte InGaAs-Schicht 7 bis zur vollständigen Entfernung angeätzt sein kann. Die nicht absichtlich oder schwach dotierte InGaAs-Schicht 7 wird auch als Spacerschicht bezeichnet. Die kristallorientierte Ätzung führt dazu, daß Ätzkanten 22, 23 der Emitterschichten 14 einen Unterschnitt aufweisen. Figur 2 zeigt den Rohling für einen Hetero-Bipolar-Transistor nach der Strukturierung des Emitters 21. Zu erkennen sind die unterschrittenen Ätzkanten 22, 23.

Anhand der Figur 3 wird das Ausbilden eines Emitterkontakts 31 und eines Basiskontakts 32 erläutert. Nachdem der Emitter-Photolackschichtabschnitt 15 von dem Rohling entfernt worden ist, wird der Rohling erneut mit Photolack bedeckt und eine Basislithographie durchgeführt. Nach dem Entwickeln der Photolackschicht verbleibt eine Basis-Photolackanordnung 33 auf der p^+ -dotierten InGaAs-Basisschicht 6. Von der Basis-Photolackanordnung 33 werden Bereiche 34, 35 der p^+ -dotierten InGaAs-Basisschicht 6 bedeckt, die nicht mit Metall bedampft werden sollen. Indem der Rohling beim Bedampfen mit der Basis-Photolackanordnung 33 kopfüber senkrecht über einem Elektronenstrahlverdampfer angeordnet wird (nicht dargestellt), werden ein oder mehrere Metallschichten auf den Rohling aufgedampft. Hierbei werden der Emitterkontakt 31 und der Basiskontakt 32 gleichzeitig in einem Arbeitsschritt ausgebildet. Darüber hinaus können eine nicht dargestellte Basiszuführleitung und ein ebenfalls nicht dargestellter Basisanschlußkontakt ausgebildet werden. Eine sich auf der Basis-Photolackanordnung 33 bildende Metallschicht 36 wird später zusammen mit der Basis-Photolackanordnung 33 entfernt.

Aufgrund der Unterschneidung der Ätzkanten 22, 23 weist die Oberfläche der p^+ -dotierten InGaAs-Basisschicht 6 abgeschattete Bereiche 37, 38 auf, an denen beim Bedampfen kein Metall abgelagert wird. Die abgeschatteten Bereiche 37, 38 sichern eine Isolation zwischen dem Basiskontakt 32 und dem Emitter 21. Beim Metallisieren der p^+ -dotierten InGaAs-Basisschicht 6 und der n^+ -dotierten InGaAs-Emitterschicht 11 wird vorzugsweise zunächst eine Platinschicht aufgedampft. Ein Teil der aufgedampften Platinatome diffundiert in die p^+ -dotierte InGaAs-Basisschicht 6 und führt so zu einer Senkung der Schottky-Barrierenhöhe Φ_B .

Dadurch wird der Kontaktwiderstand zwischen der p^+ -dotierten InGaAs-Basisschicht 6 und dem Basiskontakt 32 verringert. Vorzugsweise werden auf die Platinschicht eine Titanschicht, eine weitere Platinschicht und eine Goldschicht aufgedampft. Der so ausgebildete Basiskontakt 32 und der Emittterkontakt 31 weisen eine hohe Korrosionsfestigkeit auf.

- 5 Die Strukturierung der p^+ -dotierten InGaAs-Basisschicht 6 und eines Teils des Kollektors wird anhand Figur 4 beschrieben. Nach dem Entfernen der Basis-Photolackanordnung 33 zusammen mit der Metallschicht 36 wird der Rohling erneut mit einer Photolackschicht überzogen. Diese wird mittels einer Kollektorlithographie so strukturiert, daß eine den Emitter 21 einhüllende Kollektor-Photolackanordnung 40 zurückbleibt, welche den Emitter 21 und den
- 10 Emittterkontakt 31 vollständig umschließt. Zusätzlich wird vorzugsweise nur ein Teil des Basiskontakts 32 von der Kollektor-Photolackanordnung 40 bedeckt. Da die Kollektor-Photolackanordnung 40 lediglich die Emittterstruktur vollständig umschließen muß und einen Teil des Basiskontakts 32 bedecken muß, ist die Ausrichtung der Kollektorlithographiemaske, die zur Erzeugung der Kollektor-Photolackanordnung 40 genutzt wird, bezüglich des Emitters
- 15 21 nicht kritisch. Da der Basiskontakt 32 gegenüber zum Einsatz kommenden Ätzlösungen resistent ist, definiert ein äußerer Umlauf 41 des Basiskontakts 32 die Struktur für eine Ätzung der p^+ -dotierten InGaAs-Basisschicht 6 und der darunterliegenden Kollektorschichten 13. Eine Ätzung der p^+ -dotierten InGaAs-Basisschicht 6 und der darunter befindlichen nicht absichtlich oder schwach dotierten InGaAs-Schicht 5 erfolgt naßchemisch oder mittels Plas-
- 20 maätzung. Figur 4 zeigt den Rohling für einen Hetero-Bipolar-Transistor nach Abschluß dieser Ätzung.

- Anschließend werden die InGaAsP-Schicht 4 und die n^+ -dotierte InP-Schicht 3 mittels einer materialelektiven Ätzung strukturiert. Figur 5 zeigt den Rohling für einen Hetero-Bipolar-Transistor nach Abschluß dieser Ätzung. Zu erkennen sind unterschrittene Ätzkanten 51, 52
- 25 eines Kollektors 53.

Mittels der Ätzungen zur Strukturierung der p^+ -dotierten InGaAs-Basisschicht 6 und des Kollektors 53 wird zusätzlich die nicht dargestellte Basiszuführleitung vollständig unterätzt. Die Basiszuführleitung, die den Basiskontakt 32 mit einem ebenfalls nicht gezeigten Basisan-

schlußkontakt verbindet, ist somit als Luftbrücke ausgebildet. Dadurch weist die Basiszuführleitung eine sehr geringe Kapazität bezüglich des Kollektors 53 bzw. der Subkollektorschicht 2 auf.

5 Nach dem Entfernen der Kollektor-Photolackanordnung 40 wird der Rohling für einen Hetero-Bipolar-Transistor erneut mit Photolack beschichtet und eine Subkollektorlithographie durchgeführt. Figur 6 zeigt eine hierbei entstehende Subkollektor-Photolackanordnung 60. Es folgt die Metallisierung der n^+ -dotierten InGaAs-Subkollektorschicht 2. Dazu wird der Rohling kopfüber senkrecht über einem Elektronenstrahlverdampfer (nicht dargestellt) angeordnet. Mittels des Bedampfens wird ein Kollektorkontakt 61 gebildet. Aufgrund der Unter-
10 schncheidung der Ätzkanten 51, 52 der Kollektorschichten 13 existieren abgeschattete Bereiche 62, 63. Der Kollektorkontakt 61 wird in diesem Bedampfschritt selbstjustiert und isoliert von den Kollektorschichten 13 des Kollektors 53 ausgebildet. Gleichzeitig erhalten der Emittterkontakt 31 und der Basiskontakt 32 jeweils eine weitere Auflageschicht 31' bzw. 32'.

15 Die Subkollektor-Photolackanordnung 60 wird zusammen mit einer darauf aufgedampften Metallschicht 64 entfernt, und der Rohling erneut mit Photolack überzogen. Anschließend wird eine Isolationslithographie ausgeführt. Figur 7 zeigt die hierbei entstehende Isolations-Photolackanordnung 70. Anschließend wird die Subkollektorschicht 2 bis auf das semiisolierende InP-Substrat 1 oder die optional auf dem semiisolierende InP-Substrat 1 angeordnete InP-Epitaxieschicht geätzt. Diese Ätzung wird vorzugsweise materialelektiv durchgeführt, so
20 daß sie auf dem semiisolierenden InP-Substrat 1 oder der optional darauf angeordneten InP-Epitaxieschicht stoppt.

Nach dem Entfernen der Isolations-Photolackanordnung 70 werden weitere Verfahrensschritte durchgeführt, um die Strukturen des entstandenen Hetero-Bipolar-Transistors zu passivieren und zu kontaktieren. Ein Beispiel für eine Ausführungsform dieser Verfahrensschritte
25 ist in der am selben Tag eingereichten Patentanmeldung der Anmelderin mit dem Titel „Integrierte Schaltungsanordnung“ offenbart und wird hier nicht näher erläutert.

- Die Figuren 8 bis 12 zeigen schematische Darstellungen von Maskenebenen für die Herstellung eines Hetero-Bipolar-Transistors. Hierbei wird beginnend mit der Figur 9 jeweils eine weitere Maskenebene zusätzlich zu den in der vorausgegangenen Figur dargestellten Maskenebenen hinzugefügt. Aus den schematischen Darstellungen der Maskenebenen kann die Ausdehnungen der erzeugten Strukturen entnommen werden. Figur 8 zeigt die Ausdehnung einer Emittierstruktur 80. In der gezeigten Ausführungsform weist die Emittierstruktur 80 eine Breite von $2\mu\text{m}$ und eine Länge von $5\mu\text{m}$ auf. Figur 9 zeigt zusätzlich zu der Ausdehnung der Emittierstruktur 80 die Ausdehnung eines Basiskontakts 90, einer Basiszuführleitung 91 und eines Basisanschlußkontakts 92. In Figur 10 ist zusätzlich eine Maske zur Kollektorstrukturierung dargestellt. Sie weist einen Kollektorstrukturmaskenbereich 100 auf, der die Emittierstruktur 100 umschließt. Zu erkennen ist, daß der Basiskontakt 90 in allen Richtungen einen Überstand über die maximale Ausdehnung des Kollektorstrukturmaskenbereich 100 aufweist. Ferner ist zu erkennen, daß die Maske zur Kollektorstrukturierung den Basisanschlußkontakt 92 (vgl. Figur 9) vollständig mit einem Kollektormaskenberich 101 überdeckt. Figur 11 zeigt zusätzlich einen Bereich 110 in dem Metall auf den Subkollektor aufgedampft worden ist. In Figur 12 ist schließlich ein Bereich 120 gezeigt, der die Größe der Subkollektorschicht 2 nach ihrer Ätzung zeigt. Entsprechend gibt eine Region 121 den Bereich unter dem Basisanschlußkontakt 92 an, der von der Subkollektorschicht 2 nach der Ätzung auf dem semiisolierenden InP-Substrat 1 verbleibt.
- Die in der vorstehenden Beschreibung, der Zeichnung und den Ansprüchen, offenbarten Merkmale der Erfindung, können sowohl einzeln als auch in beliebiger Kombination für die Verwirklichung der Erfindung in ihren verschiedenen Ausführungsformen von Bedeutung sein.

Ansprüche

1. Verfahren zur Herstellung eines Hetero-Bipolar-Transistors, bei dem auf ein Substrat (1) epitaktisch aufgewachsene Schichten (12) mittels Ätzens strukturiert werden, dadurch gekennzeichnet, daß mittels gleichzeitigen Metallisierens einer Emitterschicht (11) und einer Basisschicht (6) ein Emitterkontakt (31) und ein Basiskontakt (32) ausgebildet werden.
5
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß beim Metallisieren Platin aufgedampft wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß beim Metallisieren aufeinanderfolgende Schichten der Metalle Platin, Titan, Platin und Gold aufgedampft werden.
10
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß vor dem Metallisieren der Emitterschicht (11) und der Basisschicht (6) eine Emitterstruktur (21) kristallorientiert und materialselektiv geätzt wird, so daß Ätzkanten (22, 23) der Emitterstruktur (21) eine Unterschneidung aufweisen, wobei das Ätzen der Emitterstruktur (21) im Bereich einer Spacerschicht (7) oder der Basisschicht (6) stoppt.
15
5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß vor dem Ätzen der Basisschicht (6) eine Photolackschicht um die geätzte Emitterstruktur (21) so angeordnet wird, daß die Emitterstruktur (21) von dem Photolack (40) vollständig umschlossen ist und zumindest ein Teil eines von der Emitterstruktur (21) abgewandten Umlaufs (41) des Basiskontakts (32) nicht mit dem Photolack (40) bedeckt ist.
20
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß eine zwischen dem Basiskontakt (32, 90) und einem Basisanschlußkontakt (92) angeordnete metallische Basiszuführleitung (91) vollständig unterätzt wird, so daß eine Luftbrücke gebildet wird.
25

7. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß ein Ausbilden einer Kollektorstruktur (53) nach einem Strukturieren der Basisschicht (6) und zwischen zwei aufeinanderfolgenden Lithographieschritten erfolgt.
- 5 8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß zumindest ein Teil der Kollektorstruktur (53) materialselektiv so geätzt wird, daß Ätzflanken (51, 52) der Kollektorstruktur (53) eine Unterschneidung aufweisen und das Ätzen auf einem Subkollektormaterial (2) stoppt.
- 10 9. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die epitaktisch aufgewachsenen Schichten wenigstens teilweise aus III-V-Halbleitermaterialien gebildet werden.

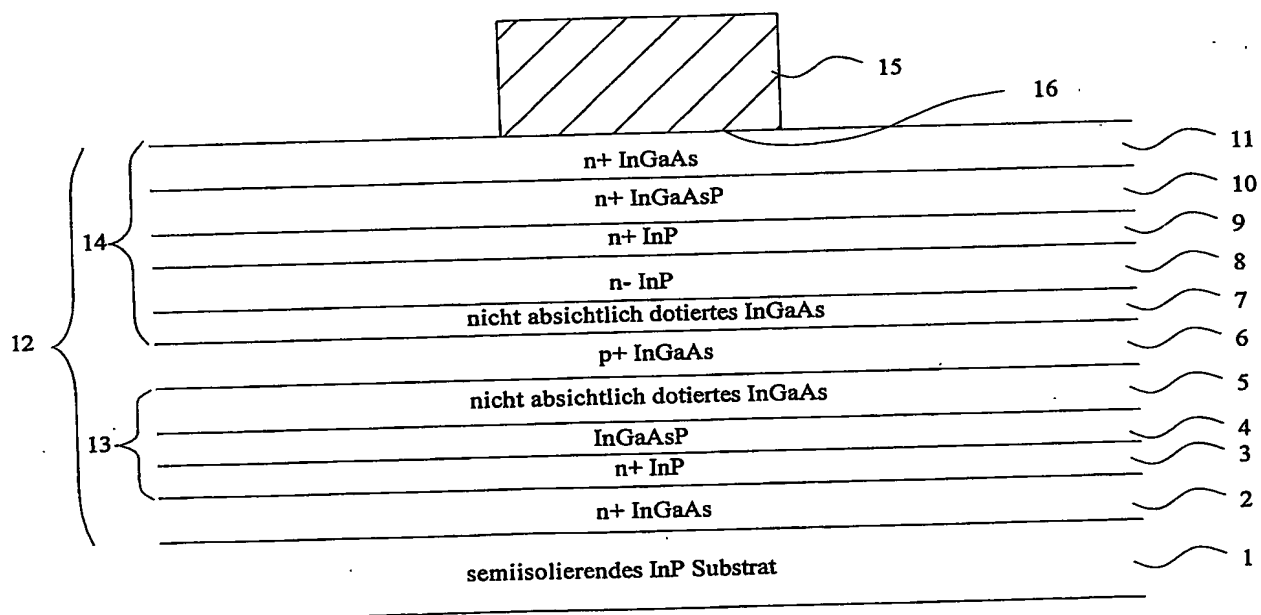
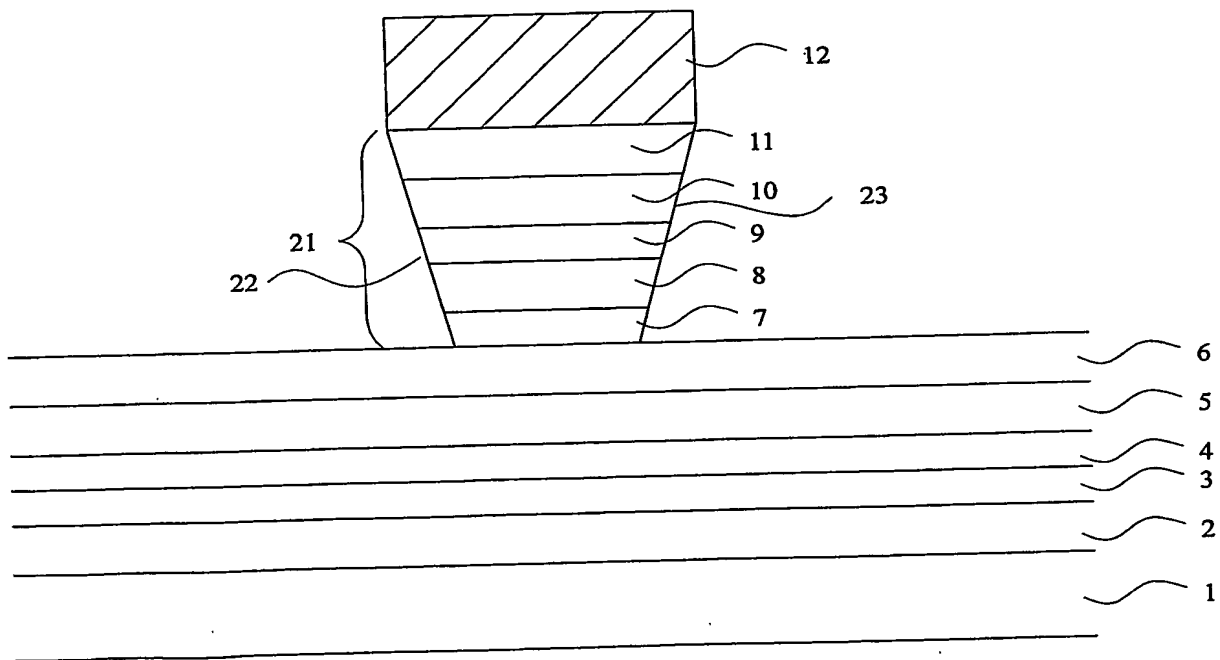
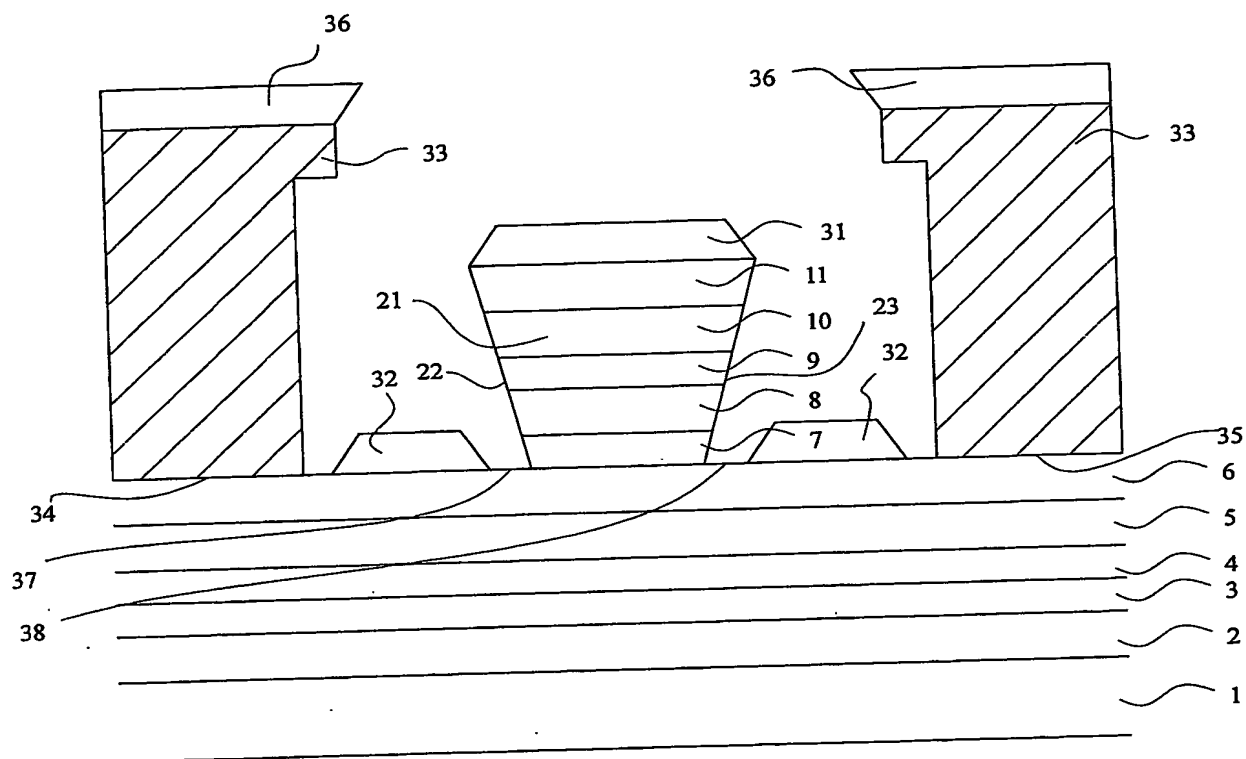


Fig. 1

**Fig. 2**

**Fig. 3**

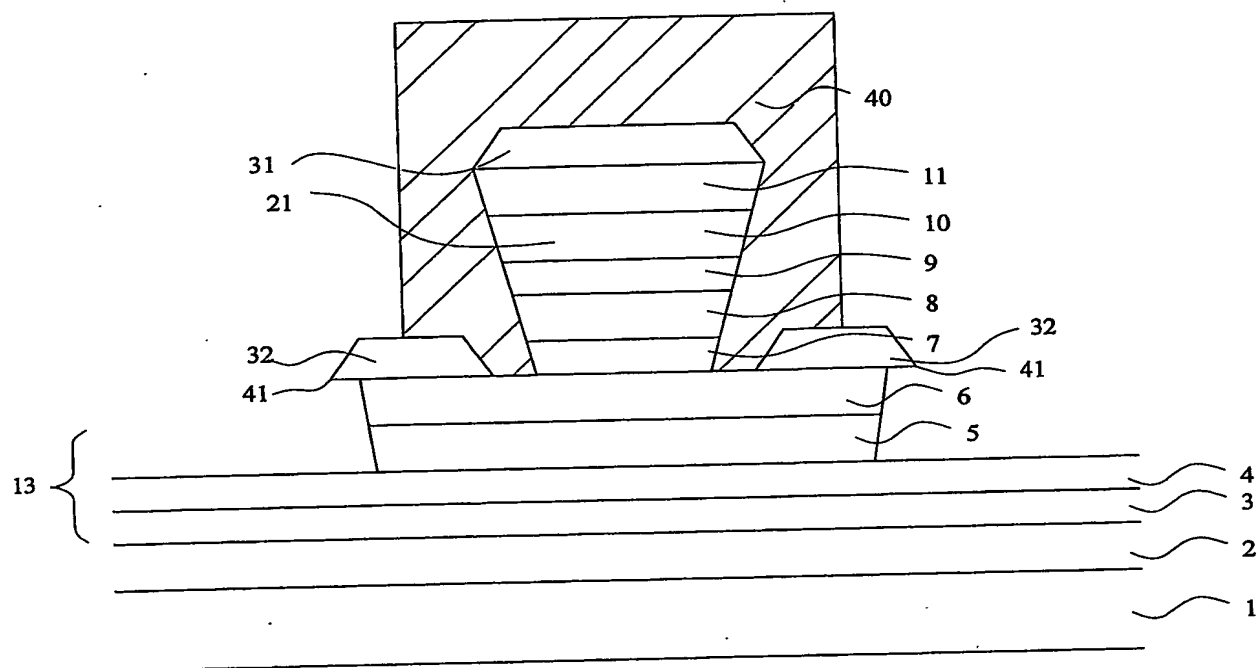


Fig. 4

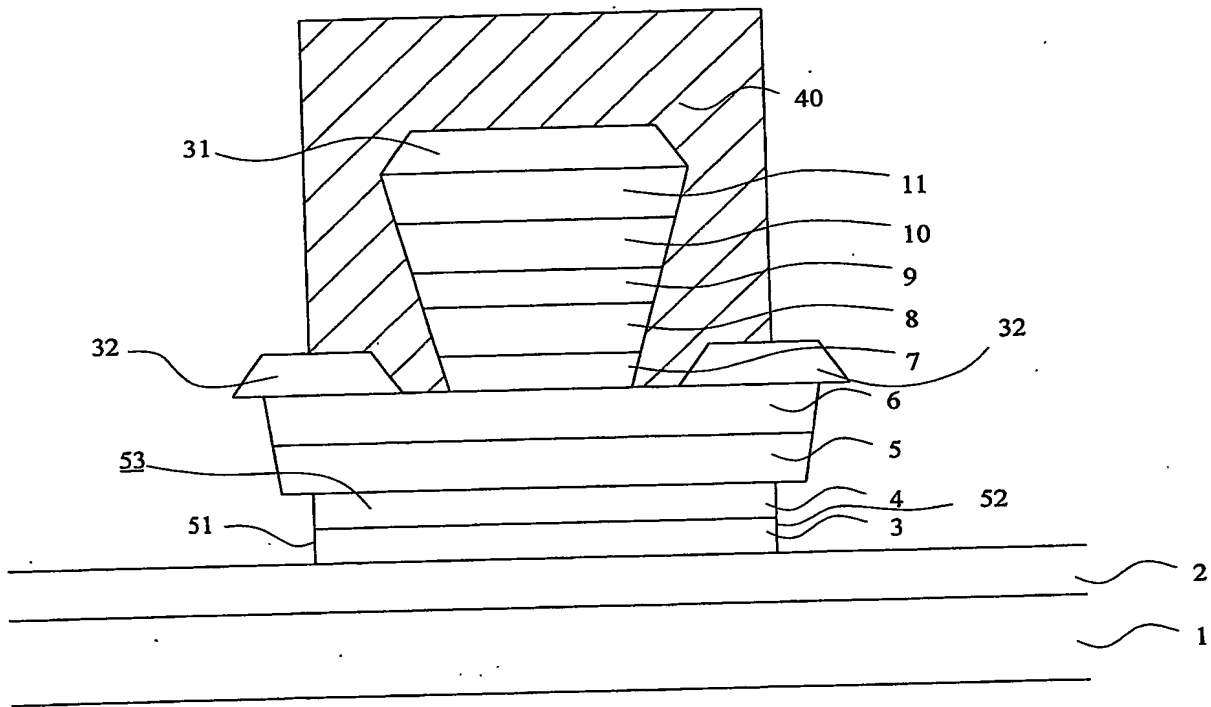
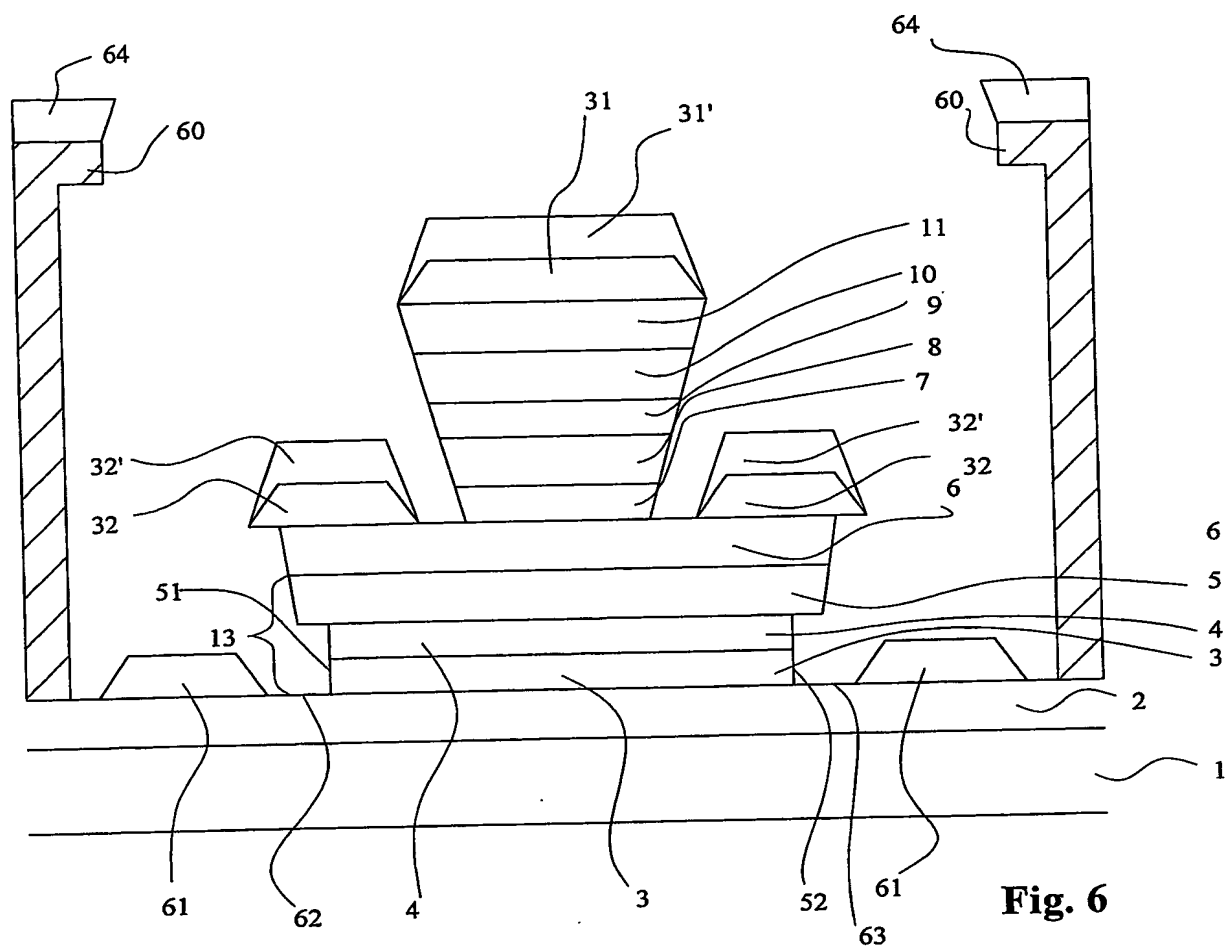


Fig. 5



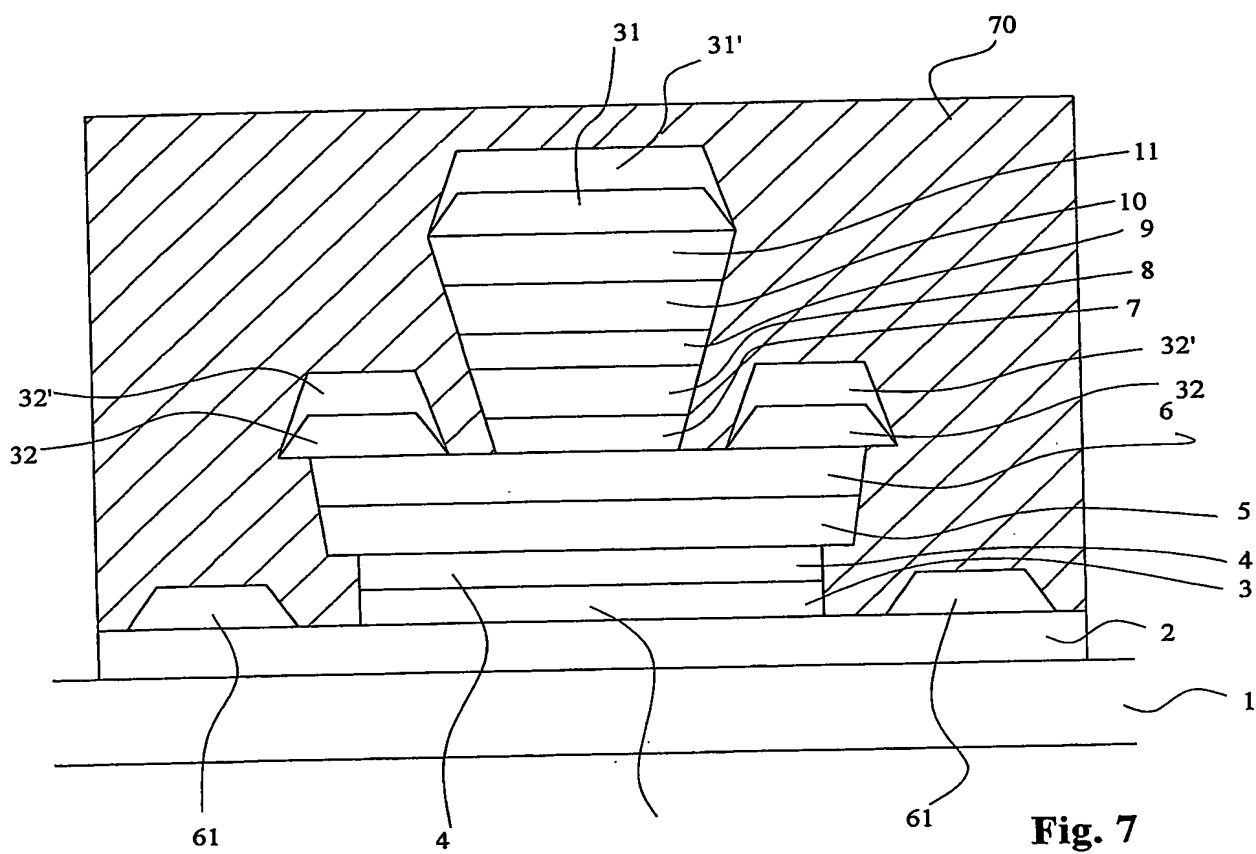




Fig. 8

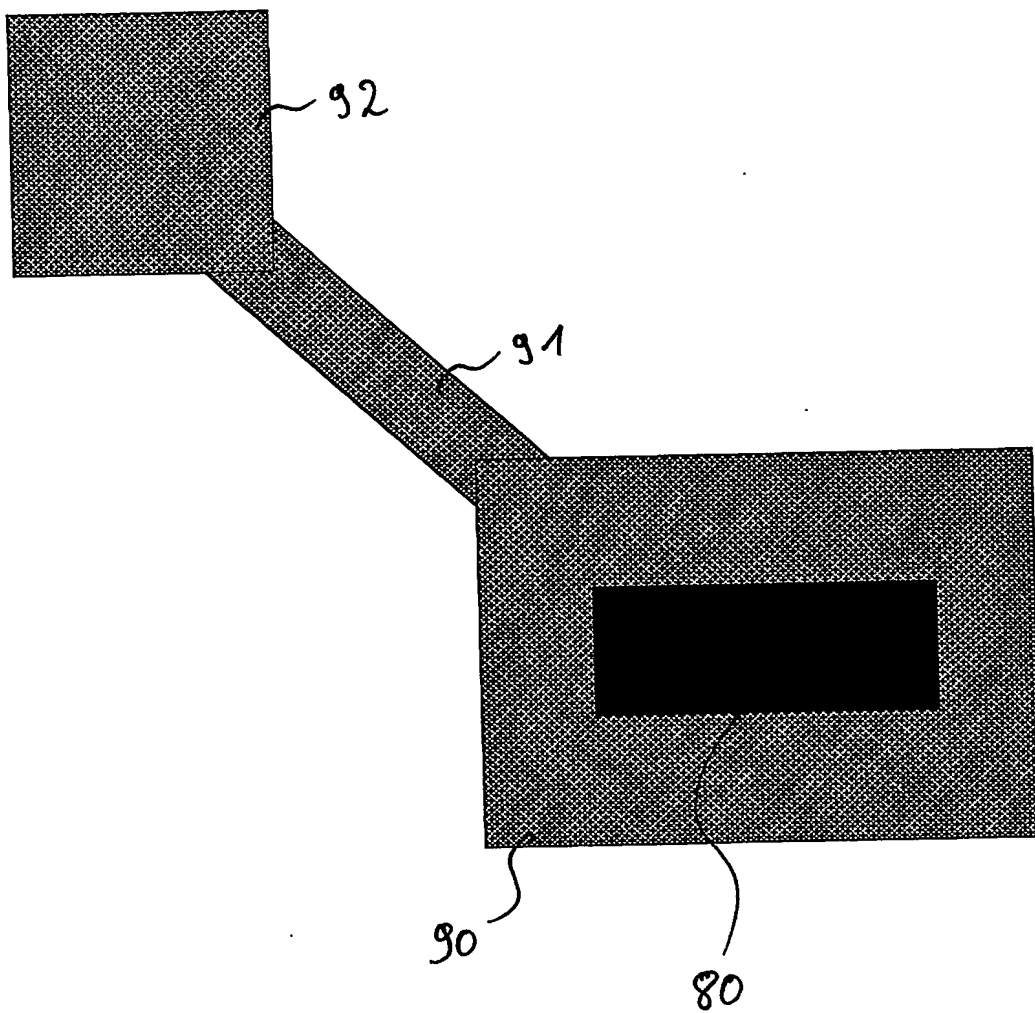


Fig. 9

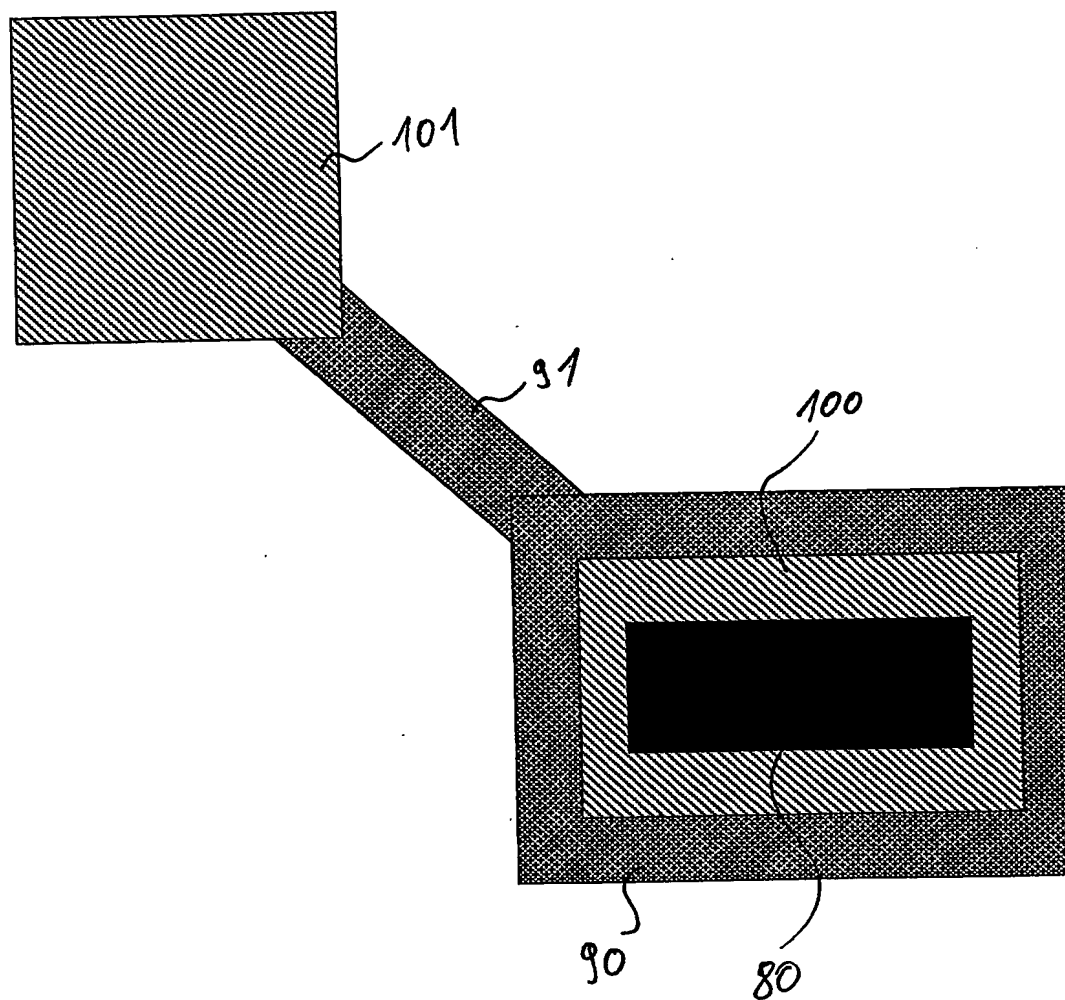


Fig. 10

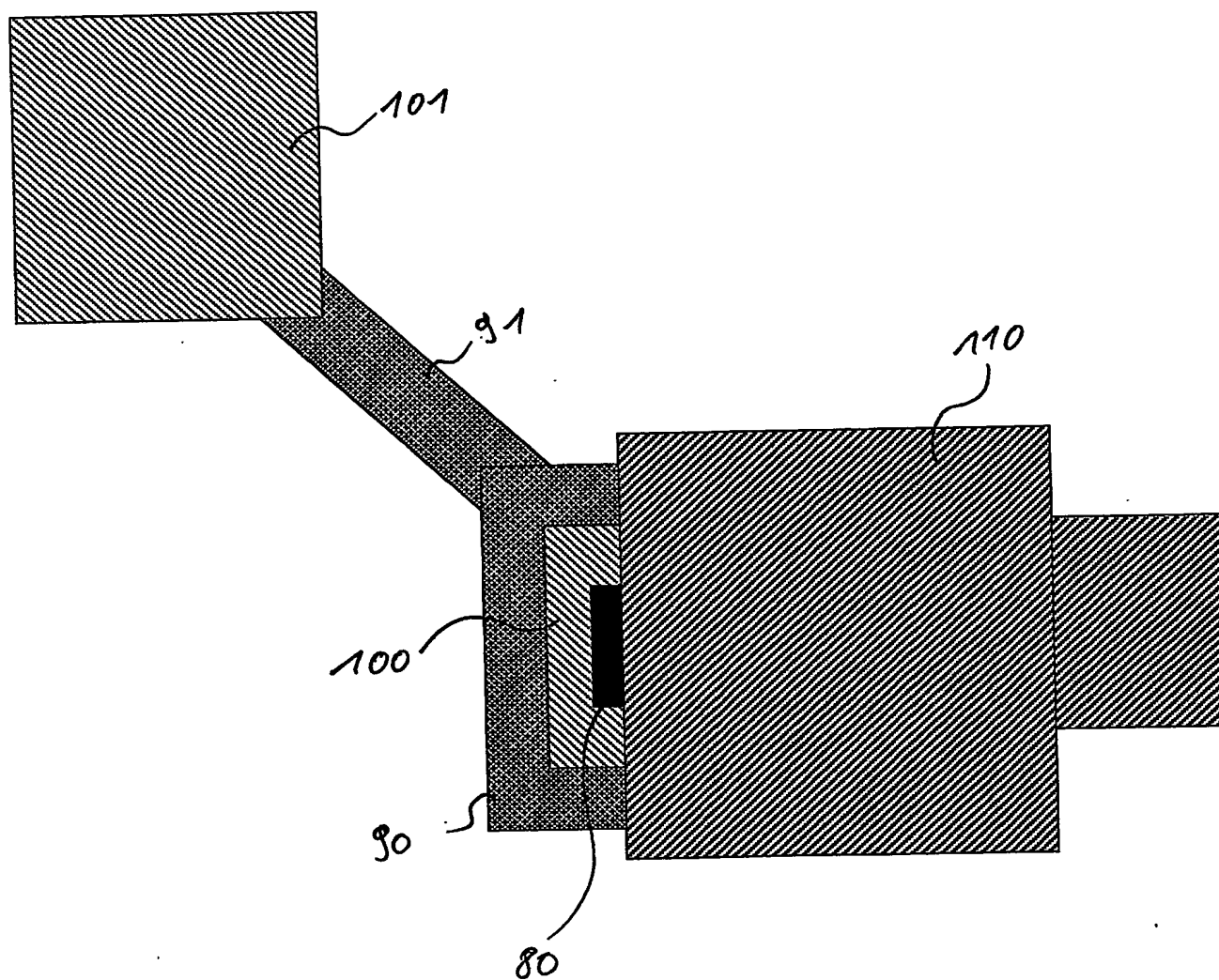


Fig. 11

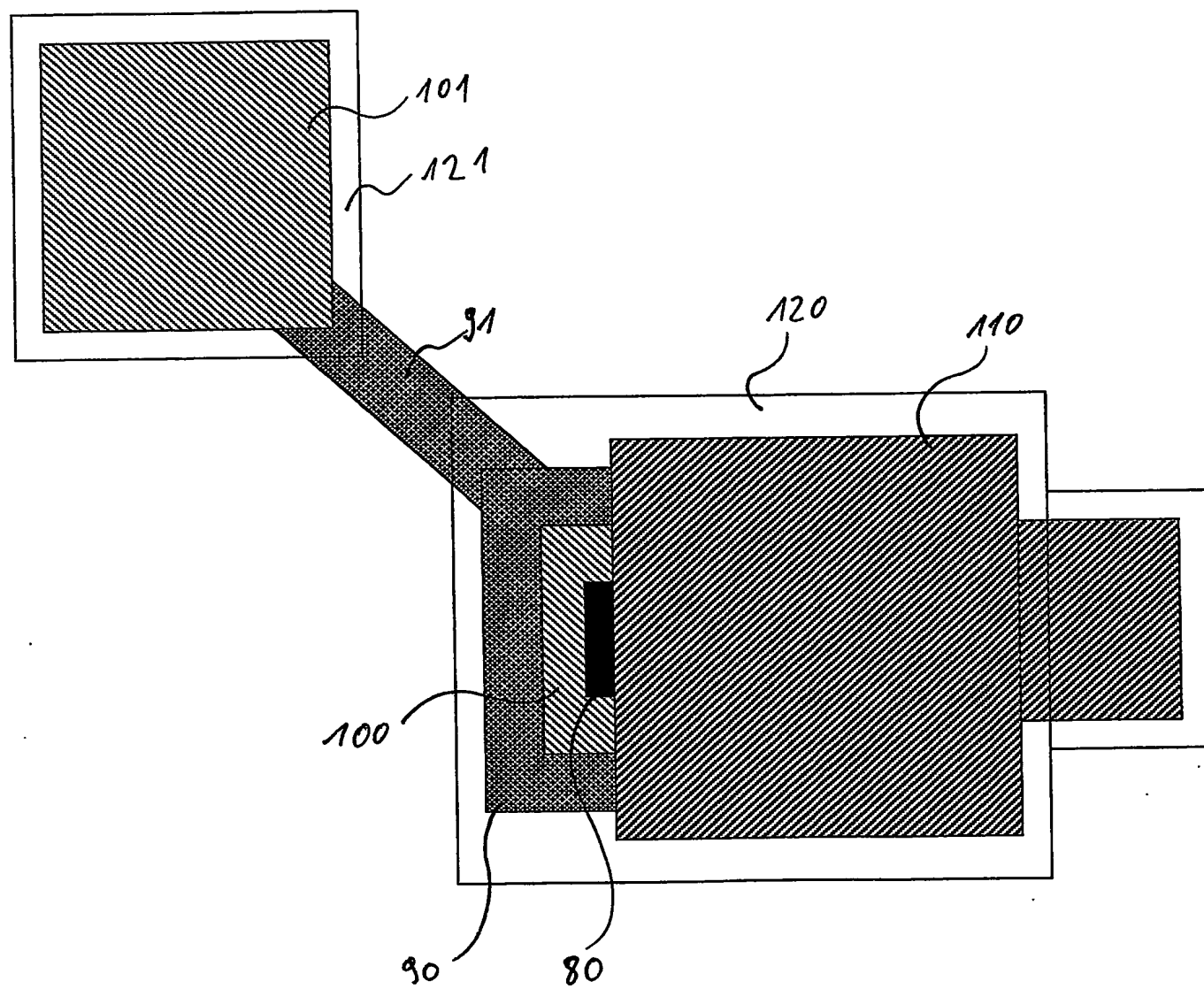


Fig. 12

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP 03/00255

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/331

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 729 033 A (HAFIZI MADJID) 17 March 1998 (1998-03-17)	1,2,7,9
Y	column 7, line 1 - line 21; figures 1A-1L	3
A		6
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 13, 30 November 1998 (1998-11-30) & JP 10 214847 A (SHARP CORP), 11 August 1998 (1998-08-11)	1,4,7-9
A	abstract	5
Y	PATENT ABSTRACTS OF JAPAN vol. 008, no. 111 (E-246), 24 May 1984 (1984-05-24) & JP 59 025220 A (NIPPON DENKI KK), 9 February 1984 (1984-02-09)	3
	abstract	

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the International filing date but later than the priority date claimed

- *T* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the International search

19 May 2003

Date of mailing of the International search report

27/05/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Juhl, A

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/JP 03/00255

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5729033	A	17-03-1998	US 5665614 A	09-09-1997
			DE 69605718 D1	27-01-2000
			DE 69605718 T2	27-07-2000
			EP 0747964 A2	11-12-1996
			JP 9102504 A	15-04-1997
JP 10214847	A	11-08-1998	JP 3349644 B2	25-11-2002
JP 59025220	A	09-02-1984	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/331

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 729 033 A (HAFIZI MADJID) 17. März 1998 (1998-03-17)	1,2,7,9
Y	Spalte 7, Zeile 1 - Zeile 21; Abbildungen	3
A	1A-1L	6
X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 13, 30. November 1998 (1998-11-30) & JP 10 214847 A (SHARP CORP), 11. August 1998 (1998-08-11)	1,4,7-9
A	Zusammenfassung	5
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

19. Mai 2003

Absendedatum des internationalen Recherchenberichts

27/05/2003

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Juhl, A

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	<p>PATENT ABSTRACTS OF JAPAN vol. 008, no. 111 (E-246), 24. Mai 1984 (1984-05-24) & JP 59 025220 A (NIPPON DENKI KK), 9. Februar 1984 (1984-02-09) Zusammenfassung -----</p>	3

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5729033	A	17-03-1998	US	5665614 A	09-09-1997
			DE	69605718 D1	27-01-2000
			DE	69605718 T2	27-07-2000
			EP	0747964 A2	11-12-1996
			JP	9102504 A	15-04-1997
JP 10214847	A	11-08-1998	JP	3349644 B2	25-11-2002
JP 59025220	A	09-02-1984	KEINE		